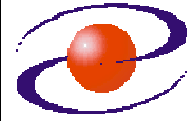




UNIVERZITET CRNE GORE
ELEKTROTEHNIČKI FAKULTET



STUDIJSKI PROGRAM:

SPECIJALISTIČKE STUDIJE - ELEKTRONIKA

PREDMET:

PROJEKTOVANJE DIGITALNIH SISTEMA

FOND ČASOVA:

3+0+1

LABORATORIJSKA VJEŽBA

NAZIV:

TOK DIZAJNA U XILINX RAZVOJNOM OKRUŽENJU

CILJEVI VJEŽBE:

- upoznavanje sa FPGA platformom SPARTAN-3E i PicoBlaze 8-bitnim mikrokontrolerom,
- povezivanje teorijske osnove (predavanja) sa praktičnom realizacijom,
- praktično upoznavanje sa tokom dizajna sistema baziranog na FPGA,
- identifikacija karakteristika SPARTAN-3E razvojne platforme,
- upoznavanje sa Xilinx ISE razvojnim okruženjem.

POTREBAN PRIBOR:

- pribor za pisanje.

IME I PREZIME: _____.

BROJ INDEKSA: _____.

BROJ POENA:	
OVJERAVA:	
DATUM:	

1. APARATURA

Na raspolaganju su sljedeći softver i hardver razvijeni od strane *Xilinx*-a:

- Xilinx ISE v.10.1 razvojno okruženje
- SPARTAN-3E Starter Kit razvojna platforma

2. TEORIJSKA OSNOVA LABORATORIJSKE VJEŽBE

Napomena: Kao referenca za *button* u aplikaciji koristi se oznaka '<...>'. Na primjer: <OK> označava klik na OK *button*.

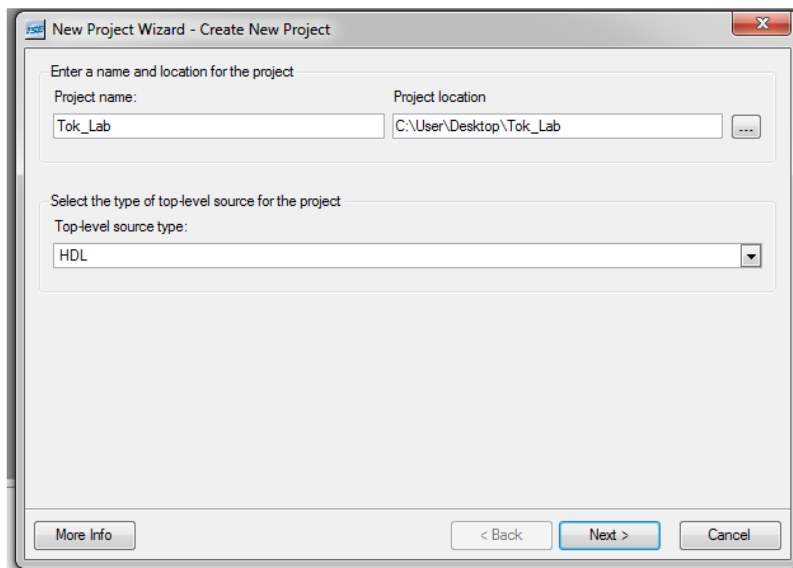
Potrebna dokumentacija o PicoBlaze 8-bitnom mikrokontroleru, kako bi se upoznali sa njegovom arhitekturom i setom instrukcija, nalazi se u .pdf fajlu [KCPSM3_Manual.pdf](#). U ovoj vježbi se upotrebljava **PicoBlaze** mikrokontroler prilikom ilustracije toka dizajna u ISE razvojnom okruženju.

Za početak treba pokrenuti *ISE Project Navigator* i napraviti novi projekat.

1. **Start**→**Programs**→**Xilinx ISE Design Suite10.1**→**Project Navigator**

2. U dobijenom treba izabrati **File**→**New Project**

Otvoriće se **New Project Wizard** (slika 1).

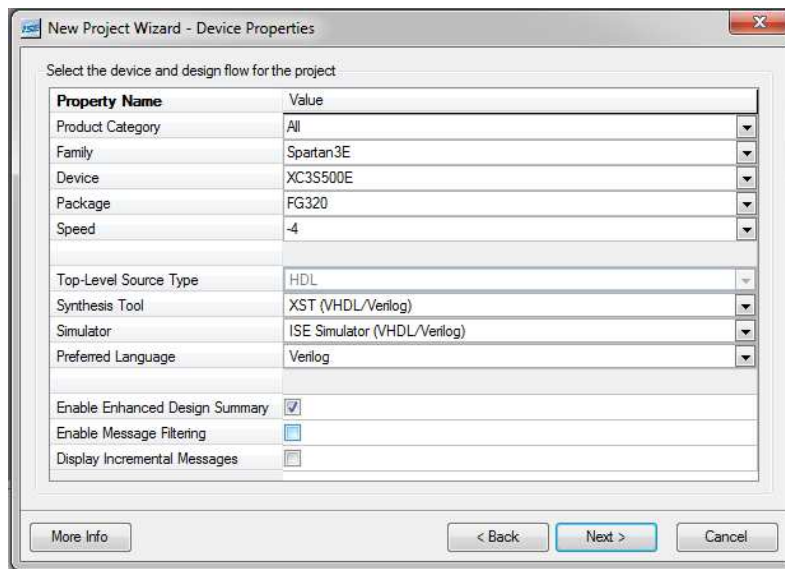


Slika 1: Prozor *New Project Wizard*

Proizvoljnim imenom nazvati novi projekat, a zatim odrediti mjesto na hard disku gdje želite da vaš projekat i njegovi prateći fajlovi budu sačuvani (...)=**Browse**.

3. <Next>

Pojaviće se prozor prikazan na slici 2.

Slika 2: Prozor *Device Properties*

Pojaviće se dijalog za odabir uređaja i toka dizajna i treba odabrati sledeća podešavanja:

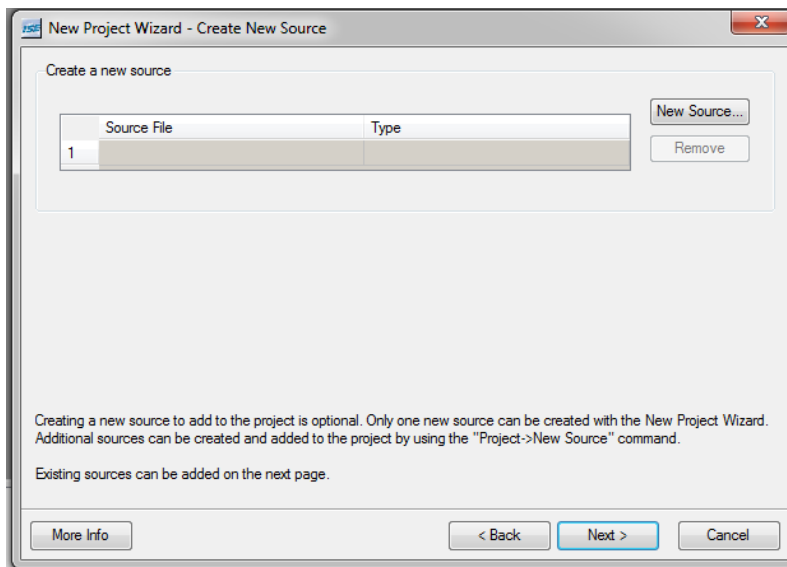
Device Family: **Spartan3E**
 Device: **xc3s500E**
 Package: **fg320**
 Speed Grade: **-4**
 Synthesis Tool: **XST (VHDL/Verilog)**
 Simulator: **ISE Simulator**
 Preferred Language: **Verilog**

4.<Next>

Pojaviće se *Create New Source* prozor (slika 3).

*Napomena: ako se koristi ISE 14.1 onda će se umjesto prozora na slici 3 pojaviti prozor sa pregledom izabranih opcija koji se zatvara sa <Finish>. Da bi se nastavilo sa kreiranjem novih fajlova unutar projekta iz menija se bira opcija **Project**→**New Source**. Nakon toga se prati čarobnjak koji vodi kroz proces kreiranja fajla.*

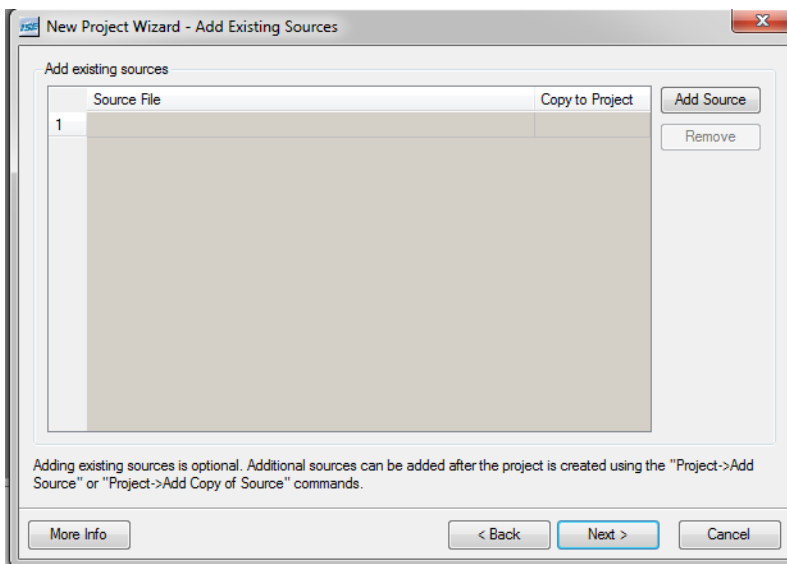
U ovom prozoru može se napraviti novi **HDL** izvorni fajl u kome će biti definisano ime modula i portovi. Za ovu vježbu i projekat napravljeni su svi fajlovi, tako da se **ovaj korak preskače**.



Slika 3: Prozor *Create New Source*

5.<Next>

Pojaviće se sledeći prozor (slika 4) gdje se učitava već postojeći Verilog fajl *.v .



Slika 4: Prozor *Add Existing Source*

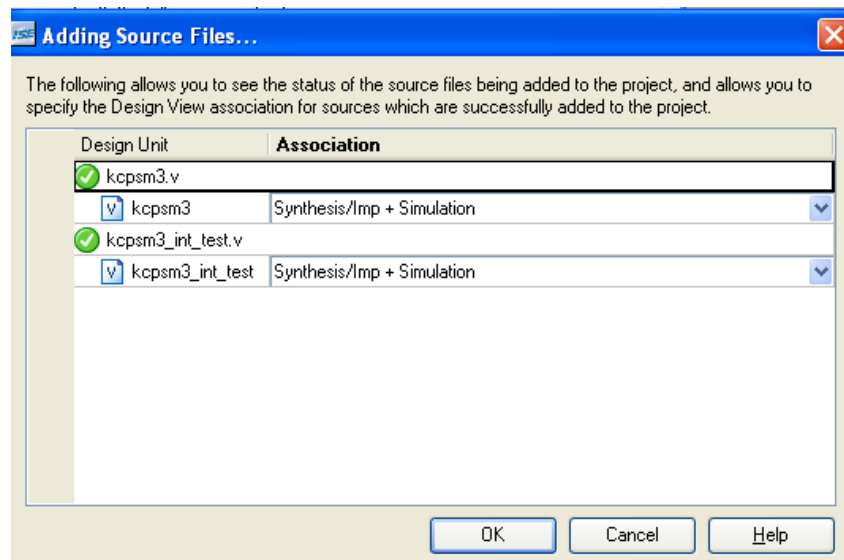
Dosadašnji postupak je univerzalan i potrebno ga je sprovesti za svaki naredni projekat.

3. ZADACI LABORATORIJSKE VJEŽBE

Ovom laboratorijskom vježbom obuhvaćena su četiri glavna koraka: pravljenje novog projekta, dodavanje fajlova koji su potrebni za dizajn projekta, simuliranje dizajna i na kraju implementiranje dizajna. U prethodnom poglavlju je već napravljen novi projekat, tako da slijede preostala tri koraka.

*Dodavanje fajlova za projekat

- **Project**→**Add Source** i nađite putanju do foldera u kome se nalaze fajlovi **kcpsm3_int_test.v** i **kcpsm3.v**
- U folderu je potrebno označiti fajlove **kcpsm3_int_test.v** i **kcpsm3.v** i otvoriti ih sa **<Open>**.
- **<Next>**, ako je sve čekirano (slika 5), **<OK>**.



Slika 5: Prozor *Adding Source Files*

- **<OK>** da se prihvate *default* podešavanja.

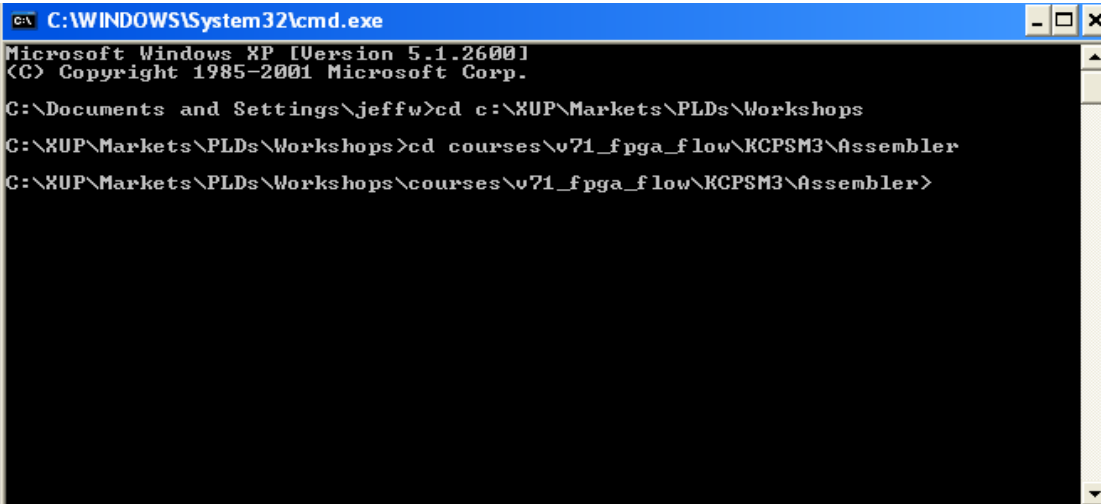
Napomena: U hijerarhiji dizajna biće vidljiv modul zvan **int_test** sa crvenim znakom pitanja.

Ovaj modul je BlockRAM memorija koja bi trebalo da sadrži program za **PicoBlaze** mikrokontroler koji će biti dodat kasnije.

Kreiranje programa i završetak dizajna:

Primjer programa (koji se nalazi u fajlu sa ekstenzijom PSM) sa nazivom **init_test.psm** dolazi uz **PicoBlaze** mikrokontroler. Ovaj fajl će biti iskorišćen kako bi se napravio ROM sa programom koji će biti integrisan u **PicoBlaze** mikrokontroler. Pored njega, potrebni su još i assembler za **PicoBlaze** (KPCSM3.exe) kao i tri *template* fajla (ROM_form.coe, ROM_form.v i ROM_form.vhd).

- Treba otvoriti fajl **int_test.psm** pomoću tekst editora i pregledati kod uzimajući kao referencu *PicoBlaze 8-bit embedded microcontroller user guide* ili *KCPSM3 manual*.
- Sledeći korak je otvaranje komandnog prozora: **Start**→**Programs**→**Accessories**→**Command Prompt**
- U **Command Prompt**-u potrebno je navesti putanju do foldera u kome se nalaze gornji fajlovi (KCPSM3.exe, init_test.psm, ROM_form.coe, ROM_form.v i ROM_form.vhd), što je u primjeru prikazanom na slici 6 folder *Assembler*.



```

c:\ C:\WINDOWS\system32\cmd.exe
Microsoft Windows XP [Version 5.1.2600]
(C) Copyright 1985-2001 Microsoft Corp.
C:\Documents and Settings\jeffw>cd c:\XUP\Markets\PLDs\Workshops
C:\XUP\Markets\PLDs\Workshops>cd courses\v71_fpga_flow\KCPSM3\Assembler
C:\XUP\Markets\PLDs\Workshops\courses\v71_fpga_flow\KCPSM3\Assembler>

```

Slika 6: Command Prompt

- Za generisanje programskih ROM fajlova unosi se sledeća komanda:

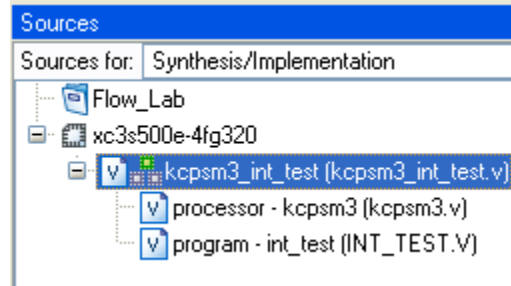
```
>kcpsm3 int_test.psm
```

Napomena: Trebalo bi da u istom folderu vidite više fajlova koji počinju sa *int_test**, uključujući i Verilog programski ROM fajl (*INT_TEST.v*).

Napomena 2: **Program KCPSM3.exe ne radi pod 64-bitnim Windows-ima.**

- U **ISE Project Navigator**-u, pratite korake **Project**→**Add Copy of Source** i potrebno je navesti putanju do upravo kreiranog verilog fajla pod nazivom **INT_TEST.v**.
- **<Open>**→**<OK>** kako bi **INT_TEST.v** fajl bio dodat projektu.

Na slici 7 je prikazan hijerarhijski niz ovog dizajna.



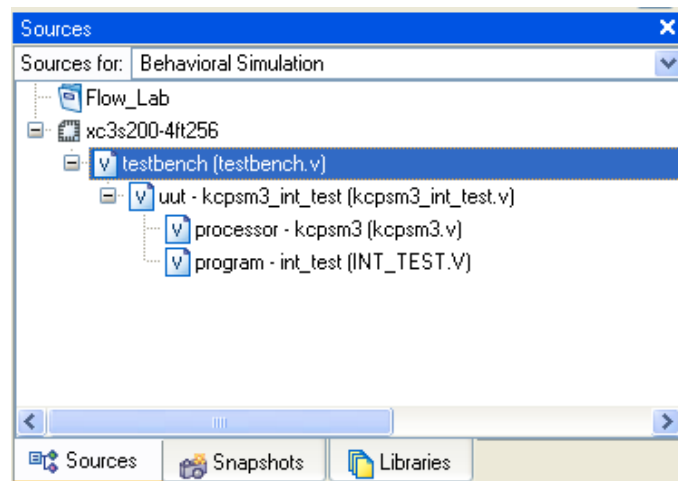
Slika 7: Hijerarhija tekućeg dizajna

Napomena: Fajl najvišeg nivoa **kcpsm3_int_test.v** sadrži instancu **INT_TEST.v** programskog ROM fajla. Poslije dodavanja ovog fajla dizajnu, crveni upitnik nestaje.

*Simulacija Dizajna

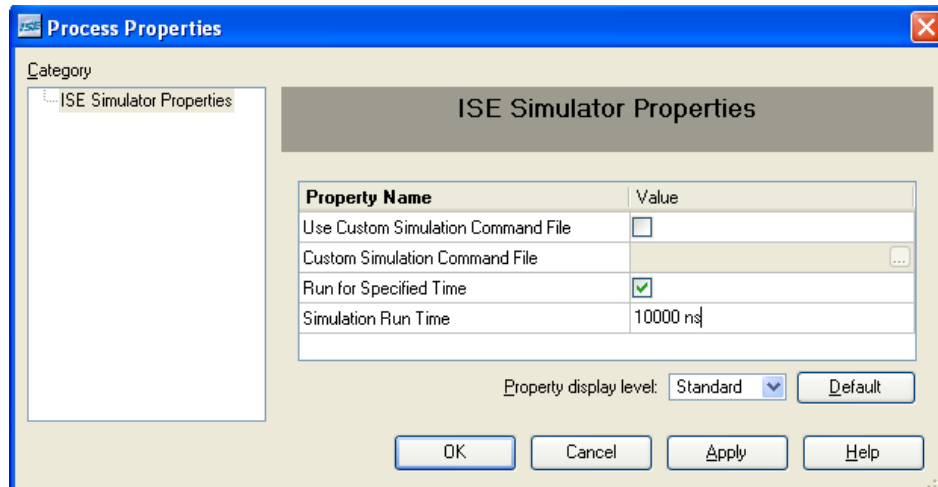
Kako bi dizajn bio provjeren potrebno je dodati *stimulus* fajl, pod nazivom **testbench.v**. Pokretanjem *behavioral* simulacije koristeći se **Xilinx iSIM simulator-om** dobiće se rezultati simulacije.

- **Project**→**Add Copy of Source** i izabrati verilog fajl **testbench.v**
- **<Open>**
- Izabrati **Simulation only** i **<OK>** da bi stimulus fajl bio dodat dizajnu, kao što se može vidjeti na slici 8. (Kod ISE 14.1 izabrati za *association* ili *All* ili *Simulation*, pa u dizajn prozoru izabrati *radio-button Simulation* i u padajućem meniju *Behavioral*.)



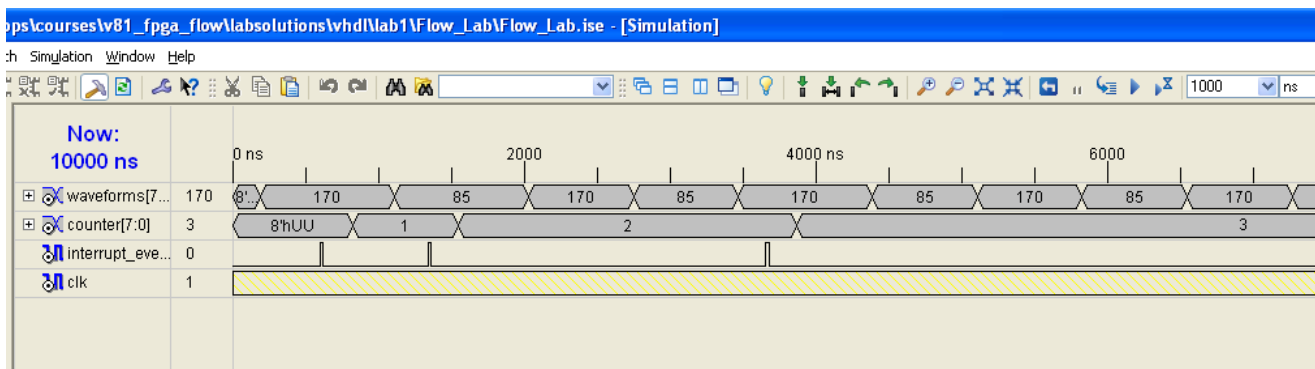
Slika 8: Hijerarhija tekućeg dizajna sa testbench.v

- U prozoru **Processes for Source** proširiti ISE/iSim simulator, pa nakon desnog klika na **Simulate Behavioral Model** izabrati **Properties**.
- Unijeti vrijednost 10000 za vrijeme simulacije pa **<OK>** (slika 9).

Slika 9: Prozor *Process Properties*

- Dvostrukim klikom na **Simulate Behavioral Model** u prozoru **Processes** simulacija će biti pokrenuta.

Nakon završetka simulacije otvoriće se 2 prozora. Jedan će prikazati rezultate simulacije u talasnim oblicima (slika 10), dok će drugi predstavljati stimulus u Verilog formatu.

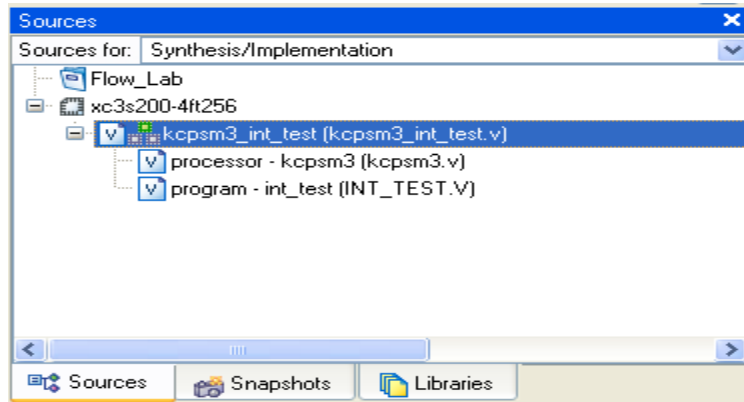


Slika 10: Rezultat simulacije u talasnom obliku

- Da bi utvrdili da li je dizajn uspješno prošao simulaciju, potrebno je izvršiti detaljan pregled dobijenih rezultata.
- Nakon toga treba zatvoriti prozore koji su se otvorili po završetku simulacije. Pomoću dugmeta **<Yes>** potvrđujemo da zaista želimo izaći iz simulatora.

*Implementacija Dizajna

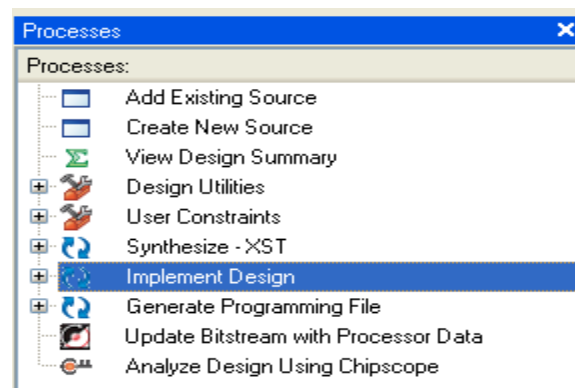
- U kartici **Sources** iz padajućeg menija **Sources for** potrebno je izabrati **Implementation**, nakon čega se bira dizajn fajl najvišeg nivoa (top-level) *kcpsm3_int_test.v*, kao što je prikazano na slici 11. (Kod ISE 14.1 u dizajn prozoru izabrati *radio-button Implementation*.)



Slika 11: Prozor Sources for Implementation

- U prozoru **Processes for Source** dva puta kliknuti na **Implement Design** (slika 12).

Treba obratiti pažnju da će se prije same implementacije izvršiti svi potrebni procesi neophodni za implementaciju. U ovom slučaju pokrenuće se sinteza (*Synthesize - XST*).



Slika 12: Proces Implement Design

- Tokom izvršavanja procesa implementacije može se pratiti napredak kroz pojedinačne korake, proširenjem liste koraka klikom na '+' koji se nalazi sa lijeve strane stavke **Implement Design**.

Nakon svakog završenog koraka pojaviće se sa njegove lijeve strane neka od sljedećih oznaka:

- zeleni „štrik“ za uspješno odrađen korak,
- žuti znak uzvika ukoliko je bilo upozorenja,
- crveno 'X' ukoliko je bilo grešaka.

U ovom konkretnom dizajnu se može desiti da se pojave znaci upozorenja za neke korake. Ovdje ih možemo ignorisati.

- Kada se faza implementacije završi, detalji implementiranog dizajna se mogu pogledati u prozoru **Design Summary** (slika 13).

FLOW_LAB Project Status			
Project File:	Flow_Lab.isc	Current State:	Placed and Routed
Module Name:	kcpsm3_int_test	• Errors:	No Errors
Target Device:	xc3s500e-4fg320	• Warnings:	346 Warnings
Product Version:	ISE, 8.1.03i	• Updated:	Mon May 15 09:43:08 2006

Device Utilization Summary				
Logic Utilization	Used	Available	Utilization	Note(s)
Number of Slice Flip Flops	76	9,312	1%	
Number of 4 input LUTs	107	9,312	1%	
Logic Distribution				
Number of occupied Slices	99	4,656	2%	
Number of Slices containing only related logic	99	99	100%	
Number of Slices containing unrelated logic	0	99	0%	
Total Number 4 input LUTs	177	9,312	1%	
Number used as logic	107			
Number used as a route-thru	2			
Number used for Dual Port RAMs	16			
Number used for 32x1 RAMs	52			
Number of bonded IOBs	18	232	7%	
IOB Flip Flops	16			
Number of Block RAMs	1	20	5%	
Number of GCLKs	1	24	4%	
Total equivalent gate count for design	74,954			
Additional JTAG gate count for IOBs	864			

Performance Summary			
Final Timing Score:	0	Pinout Data:	Pinout Report
Routing Results:	All Signals Completely Routed	Clock Data:	Clock Report
Timing Constraints:	All Constraints Met		

Detailed Reports					
Report Name	Status	Generated	Errors	Warnings	Infos
Synthesis Report	Current	Mon May 15 09:42:22 2006	0	345 Warnings	0
Translation Report	Current	Mon May 15 09:42:28 2006	0	1 Warning	0
Map Report	Current	Mon May 15 09:42:38 2006	0	0	2 Infos
Place and Route Report	Current	Mon May 15 09:43:01 2006	0	0	2 Infos

Slika 13: Prozor *Design Summary*

4. ZAKLJUČAK